

DIALOG(R)File 347:JAPIO

(c) 2006 JPO & JAPIO. All rts. reserv.

00723898      \*\*Image available\*\*

SEMICONDUCTOR MEMORY DEVICE

PUB. NO.:        **56-044198** [JP 56044198 A]

PUBLISHED:      April 23, 1981 (19810423)

INVENTOR(s):    SHIRAI KAZUNARI

APPLICANT(s):   FUJITSU LTD [000522] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.:       54-118254    [JP 79118254]

FILED:           September 14, 1979 (19790914)

INTL CLASS:      [3] G11C-017/00; H01L-027/10

JAPIO CLASS:    45.2 (INFORMATION PROCESSING -- Memory Units); 42.2  
(ELECTRONICS -- Solid State Components)

JOURNAL:         Section: P, Section No. 68, Vol. 05, No. 100, Pg. 144, June  
27, 1981 (19810627)

**ABSTRACT**

**PURPOSE:** To improve integration by providing an insulating layer arranged on a heating body layer which has one terminal connected to either of word and digit memory lines and the other grounded, and a metal electrode layer connected to the other memory line arranged on the layer.

**CONSTITUTION:** To write information in a PROM cell, a 3V voltage is applied between digit line 7 and earth 8 to flow a 15mA current, for example, to heating-body layer 2 made of polysilicon, thereby heating the temperature up to 600 deg.C. Between heating-body layer 2 and connecting electrode 3 made of a vapor-deposited film of aluminum, a 3V voltage is applied by way of digit line 7 and word line 9. Then, aluminum forming connecting electrode 3 intrudes into SiO(sub 2) insulating layer 5 of heating-body layer 2 under connecting electrode 3 and then reaches heating-body layer 2 to form a short circuit between connecting electrode 3 and heating-body layer 2, thereby connecting digit line 7 and word line 9 together.

**Family list**

**1** family member for:

**JP56044198**

Derived from 1 application.

**1 SEMICONDUCTOR MEMORY DEVICE**

Publication info: **JP56044198 A** - 1981-04-23

---

Data supplied from the *esp@cenet* database - Worldwide

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

## ⑫ 公開特許公報 (A)

昭56—44198

⑤ Int. Cl.<sup>3</sup>  
G 11 C 17/00  
H 01 L 27/10

識別記号  
1 0 1

庁内整理番号  
7010—5B  
7210—5F

⑬ 公開 昭和56年(1981)4月23日

発明の数 1  
審査請求 未請求

(全 3 頁)

## ⑭ 半導体記憶装置

川崎市中原区上小田中1015番地  
富士通株式会社内

⑯ 特 願 昭54—118254

⑰ 出 願 人 富士通株式会社

⑱ 出 願 昭54(1979)9月14日

川崎市中原区上小田中1015番地

⑲ 発 明 者 白井一成

⑳ 代 理 人 弁理士 松岡宏四郎

## 明 細 書

## 1. 発明の名称

半導体記憶装置

## 2. 特許請求の範囲

ワードライン或るいはディジットラインの何れか一方のメモリーラインに一端が接続され他端が接地された発熱体層と、該発熱体層上に配設された絶縁層と、該絶縁層上に配設され他方のメモリーラインに接続された金属電極層とを有する書き込み可能な読み出し専用記憶セルを有することを特徴とする半導体記憶装置。

## 3. 発明の詳細な説明

本発明は半導体記憶装置に関し、特に半導体基板上に形成し得る書き込み可能な読み出し専用メモリー (PROM) セルの構造に関するものである。

従来半導体集積回路基板に形成される PROM としては、絶縁層をはさんで直交して配設された複数本のアルミニウム (Al) 等の金属配線層からなるワードラインとディジットビットラインの各々の交点に於て、ワードラインとディジットラ

インをポリシリコン等の薄層からなるヒューズ層により接続させた構造を有し、情報の書き込みの際には所望のワードラインとディジットラインに電圧をかけ、その交点にあるヒューズ層に例えば 20 (mA) 程度の電流を流し (加熱電力約 100 (mW))、ヒューズ層を 1500 (°C) 以上に昇温させて該ヒューズ層を熔断せしめて情報の書き込むヒューズ形 PROM が多く用いられる。

然し半導体集積回路 (半導体 IC) の集積度を向上させるために半導体素子が微細化されるに従って半導体 IC の電源電圧を低くせざるを得なくなっている現在、前記 PROM への情報書き込みのための電力を従来にくらべて低くして、書き込み用の周辺回路が複雑化するのを避けることが、半導体 IC の集積度向上のための大きな課題となってきた。

本発明は上記問題点に鑑み、少ない印加電力によつて情報の書き込みが可能な、接続方式のメモリーセル構造を有する半導体メモリー装置を提供するものである。

特開昭56- 44198(2)

即ち本発明は半導体記憶装置の構造に於て、ワードライン或るいはディジットラインの何れか一方のメモリーラインに一端が接続され、他端が接地された発熱体層と、該発熱体層上に形成された絶縁層と、該絶縁層上に配設され、他方のメモリーラインに接続された金属電極層とを有する書き込み可能な読み出し専用記憶セルを有することを特徴とする。

以下本発明を図示実施例により詳細に説明する。

第1図(a)は本発明の半導体メモリに適用される記憶(メモリー)セルの一実施例の上面模式図、第1図(b)は(a)のX-X'断面図、第2図は本発明の半導体メモリ装置に於ける回路図の一実施例である。

本発明にかかるメモリーセルは、第1図(a)に示すように、各種機能素子が既に形成されているシリコン(Si)基板表面のフィールド二酸化シリコン( $\text{SiO}_2$ )膜1上に、例えば多結晶(ポリ)シリコンからなり、例えば幅2( $\mu\text{m}$ )長さ10( $\mu\text{m}$ )程度で両端に配線接続部2a及び2bを有する発

- 3 -

パターンニングを行って、該Si基板面の前記フィールド $\text{SiO}_2$ 膜1上に形成されている発熱体層2に例えば直角に交差する接続用電極3及び発熱体層2の配線6a及び6bを形成する。

然して本発明の半導体PROMは第2図に示す回路図のように、前記のような構造を有するメモリーセルの発熱体2の一端の配線6aを例えばディジットライン7に、他端の配線6bをアース8に発熱体2上の接続用電極3をワードライン9に接続せしめた構造を有している。

このような本発明の構造を有するPROMセルに情報を書き込む方法は、第2図に示すディジットライン7とアース8との間に例えば3(V)程度の電圧をかけて発熱体層2に10~20(mA)の電流を流し該発熱体層の温度を500~700( $^{\circ}\text{C}$ )程度に上昇させ、同時に発熱体層2と接続用電極3の間にディジットライン及びワードラインを通じて3(ボルト)程度の電圧をかける。

このような状態に於て、500~700( $^{\circ}\text{C}$ )に昇温せしめられた発熱体層2上に接続用電極3を形

成されておき、その上層に該発熱体層2とはほぼ直交して例えば幅4( $\mu\text{m}$ )程度の一端に配線接続部3aを有するアルミニウム(Al)等の蒸着膜からなる接続用電極3が配接されている。そして該接続用電極3と下層にある前記発熱体層2とは、発熱体層2の表面に予め形成される $\text{SiO}_2$ 膜からなる絶縁層により電氣的に絶縁された構造を有している。

上記構造を有するメモリーセルを形成する方法を第1図(b)の断面模式図に従って説明すると、Si基板4上に熱酸化等により形成されているフィールド $\text{SiO}_2$ 膜1上に先ず化学気相成長(CVD)法により厚さ3000~4000( $\text{\AA}$ )程度のポリシリコン層を堆積させ、パターンニングして発熱体層2を形成させる。次に該発熱体層2の表面に熱酸化法等により厚さ500~1000( $\text{\AA}$ )程度の $\text{SiO}_2$ 絶縁層5を形成する。次いで発熱体層2の両端部に形成されている配線接続部2a及び2b上の $\text{SiO}_2$ 絶縁層5に電極引き出し窓を形成し、然る後該Si基板上に1~2( $\mu\text{m}$ )程度の厚さのAl膜を蒸着し、

- 4 -

成しているアルミニウム(Al)が、第1図bに示す接続用電極3の下層にある発熱体層2の $\text{SiO}_2$ 絶縁層5の中に侵入して発熱体層2へ達し、接続用電極3と発熱体層2が短絡せしめられる。

即ち第2図に示す接続用電極3と発熱体層2が短絡せしめられて、該交点部に於てディジットラインとワードラインが接続されて情報が書き込まれる。

上記実施例に於ては発熱体層としてポリシリコンを、又発熱体層上の絶縁層として $\text{SiO}_2$ 層を使用した。又発熱体層としては上記以外に電気抵抗の大きい金属層或るいは合金層を使用しても良く、又絶縁層としてはアルミナ( $\text{Al}_2\text{O}_3$ )、窒化硅素( $\text{Si}_3\text{N}_4$ )、リン珪酸ガラス(PSG)等も使用することができる。

又接続用電極としては上記アルミニウム(Al)以外にAl合金を用いてもさしつかえない。

以上説明したように本発明の構造を有する書き込み可能な読み出し専用半導体メモリ(半導体PROM)は、従来のヒューズ熔断方式のものにく

- 5 -

- 6 -

らべて、情報の書き込み電流を大幅に減少させることができるので、電源電圧を従来より低くした場合にも情報書き込み用の周辺回路が複雑になることがない。

従って半導体集積回路チップ上に於ける該周辺回路の専有面積を縮小させることができるので、当該半導体メモリーセルを含む半導体集積回路の集積度の向上に極めて有効である。

8 はアース、

9 はワードライン。

代理人 弁理士 松 岡 宏四郎

#### 4. 図面の簡単な説明

第1図(a)は本発明の半導体メモリーに具備せしめられるメモリーセルの一実施例の上面模式図  
第1図(b)は同じく断面模式図であり、第2図は本発明の半導体メモリー装置に於ける回路図の一実施例である。

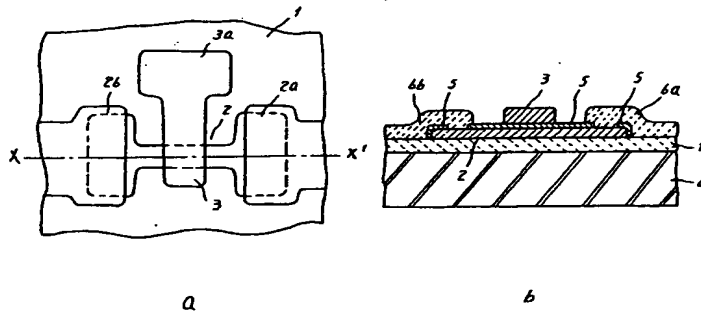
図において

- 1 はフィールド二酸化シリコン ( $\text{SiO}_2$ ) 膜、
- 2 は窒素膜、            2a, 2b は配線接続部、
- 3 は接続用電極、       4 はシリコン基板、
- 5 は絶縁層、            6a, 6b は配線、
- 7 はディジットビットライン

- 7 -

- 8 -

第 1 図



第 2 図

